

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

As rescanning documents *will not* correct images,  
please do not report the images to the  
**Image Problem Mailbox.**

PTO 02-4682

Japanese Kokai Patent Application  
No. Sho 52[1977]-89070

SEMICONDUCTOR DEVICE

Hiromoto Serizawa and Shoichi Fukai

UNITED STATES PATENT AND TRADEMARK OFFICE  
WASHINGTON, D.C. SEPTEMBER 2002  
TRANSLATED BY THE RALPH MCELROY TRANSLATION COMPANY

JAPANESE PATENT OFFICE  
PATENT JOURNAL (A)  
KOKAI PATENT APPLICATION NO. SHO 52[1977]-89070

Int. Cl.<sup>2</sup>:

H 01 L 21/20  
G 02 B 5/14  
H 01 L 31/00  
H 01 L 33/00

Sequence Nos. for Office Use:

6684-57  
7377-57  
6513-57  
7448-23

Filing No.:

Sho 51[1976]-5611

Filing Date:

January 20, 1976

Publication Date:

July 26, 1977

No. of Inventions:

1 (Total of 4 pages)

Examination Request:

Not filed

SEMICONDUCTOR DEVICE

[Handotai sochi]

Inventors:

Hiromoto Serizawa and  
Shoichi Fukai

Applicant:

Matsushita Electric Industrial Co.,  
Ltd.

[There are no amendments to this patent.]

Claims

1. A type of semiconductor device characterized by the fact that it has a hetero-junction of Si, Ge, or group II-VI, group III-V, or other cubic crystal compound semiconductor and tetragonal crystal-structure or cubic crystal-structure  $ABO_3$  perovskite type

oxide (where A is an element selected from K, Ba, Sr and Pb, and B is an element selected from the group of Ti, Ta, Zr, Fe, Sn and Ce).

2. The semiconductor device described in Claim 1 characterized by the fact that said hetero-junction is formed from the (100) plane of said Si, Ge, or cubic crystal compound semiconductor and the (001) plane of said tetragonal crystal-structure perovskite type oxide.

3. The semiconductor device described in Claim 1 characterized by the fact that said hetero-junction is formed from the (100) plane of said Si, Ge or cubic crystal compound semiconductor and the (100) plane of said cubic crystal-structure perovskite type oxide.

#### Detailed explanation of the invention

This invention pertains to a type of semiconductor device. More specifically, this invention is for obtaining a type of semiconductor base material for application in photo-semiconductors and other semiconductor devices.

That is, the purpose of this invention is provide a type semiconductor substrate for application in various semiconductor devices characterized by the fact that it has a hetero-junction of Si, Ge, or GaAs, GaP, or other group III-V compound semiconductor, or ZnSe, ZnTe, or other group II-VI compound semiconductor and BaTiO<sub>3</sub>, SrTiO<sub>3</sub>, or another tetragonal crystal-structure or cubic crystal-structure oxide of Ti, Ta, Zr, Fe, Sn or Ce generally represented as perovskite type ABO<sub>3</sub>.

When epitaxial growth of hetero substances is used to form a double hetero-structure of Ga<sub>x</sub>Al<sub>1-x</sub>As for the GaAs semiconductor laser, the characteristics are improved significantly. Consequently, this phenomenon has attracted significant attention. In the prior art, research has been undertaken on junctions for many types of semiconductors, such as GaAs-Ge, ZnSe-ZnTe, ZnSe-GaAs, etc. However, for the conventional junction, even when it is referred to as a hetero-junction, it is still an epitaxial structure between semiconductors. Little study has been made on the epitaxial junctions between semiconductor and dielectric, insulator, metal, etc. On the other hand, many studies have been made on sapphire Al<sub>2</sub>O<sub>3</sub> and spinel (MgO \* Al<sub>2</sub>O<sub>3</sub>) for use as insulating substrates in vapor phase growth of Si. On such substrates, epitaxial growth of Si is performed. In addition, GaAs or other crystal has been epitaxially grown on Al<sub>2</sub>O<sub>5</sub>, MgAl<sub>2</sub>O<sub>4</sub>, BeO, etc.

As far as growth of oxide insulators on semiconductor is concerned, examples include SiO<sub>2</sub>, GaO<sub>2</sub>, Al<sub>2</sub>O<sub>3</sub>, etc. on Si and GaAs. They are formed as protective films or insulating separating films. However, there is no epitaxial growth. As far as a junction between insulators is concerned, there have been reports on epitaxial growth of Bi<sub>4</sub>Ti<sub>5</sub>O<sub>12</sub> on MgO or MgAl<sub>2</sub>O<sub>4</sub>.

The present invention provides a type of substrate for a semiconductor device with epitaxial hetero-junction of  $\text{BaTiO}_3$  or other perovskite type crystal and a semiconductor. This type of substrate for a semiconductor device has not been seen in the prior art.

Studies have been made on using  $\text{BaTiO}_3$  or other perovskite type  $\text{ABO}_3$  crystal as a ferroelectric material. In particular, as it is a substance with a high melting point, it has been used as a ceramic in many practical applications. The following table lists the crystalline properties of the  $\text{ABO}_3$  type crystal.

物質名	格子定数	融点	熱膨脹係数	エピタキシャル例
(1)	(2)	(3)	(4)	(5)
$\text{BaTiO}_3$	$a=3.994$ $c=4.038$	1618	$1.1 \times 10^{-6}$	$\text{GaAs}, \text{ZnSe}$
$\text{SrTiO}_3$	$a=3.905$	$\sim 2000$	$1.1 \times 10^{-6}$	$\text{Si}, \text{GaP}$
$\text{PbTiO}_3$	$a=3.904$ $c=4.152$			$\text{Si}, \text{GaP}$
$\text{SrZrO}_3$	$a=4.059$	2640	$6.75 \times 10^{-6}$ $9.34 \times 10^{-6}$	$\text{GaAs}, \text{ZnSe}$
$\text{SrSnO}_3$	$a=4.082$			$\text{GaAs}, \text{ZnSe}$
$\text{BaZrO}_3$	$a=4.182$	2688	$6.64 \times 10^{-6}$ $9.54 \times 10^{-6}$	$\text{InP}, \text{ZnTe}, \text{CdS}$
$\text{BaSnO}_3$	$a=4.12$			$\text{InP}, \text{ZnTe}$
$\text{KTaO}_3$	$a=3.989$ $c=4.003$	1357		$\text{GaAs}$

Key: 1 Name of substance  
 2 Lattice constant  
 3 Melting point  
 4 Thermal expansion coefficient  
 5 Epitaxial examples

This table lists the lattice constants, melting points and thermal expansion coefficients of the  $\text{ABO}_3$  type crystals, such as  $\text{BaTiO}_3$ ,  $\text{SrTiO}_3$ ,  $\text{PbTiO}_3$ ,  $\text{SrZrO}_3$ ,  $\text{BaZrO}_3$  and  $\text{KTaO}_3$ , as well as examples of the epitaxial semiconductor layers epitaxially grown on said crystals.

However, when epitaxial growth of the semiconductor layer listed in the above table is performed on said  $\text{ABO}_3$  type crystal, when the (001) plane of the tetragonal crystal of  $\text{ABO}_3$  type and the (100) plane of the cubic crystal are used, good epitaxial growth takes place in the  $<100>$  direction of the  $\text{ABO}_3$  type crystal and the  $<100>$  direction of the semiconductor layer. That is, as shown in Figure 1, epitaxial growth takes place in the  $<100>$  direction of the  $\text{ABO}_3$  crystal and in the  $<100>$  direction of the semiconductor layer. Also, for the  $\text{ABO}_3$  type cubic crystal, good epitaxial growth takes place for the (100) plane of said crystal and the (100) plane

of the semiconductor layer. In the following, we will examine the case of a junction between Si and sapphire as a typical example of the epitaxial growth of a semiconductor layer on an insulating substrate.

Usually, in growth of Si (100), which is often used in LSI, etc., on a sapphire, while Si has a diamond structure (cubic crystal), the sapphire has a rhomboherald [transliteration] crystal form. Consequently, the (100) plane of Si is epitaxially grown on the (10 $\bar{1}$ 2) plane of the sapphire. In this case, deviations in the lattice constants of the Si(100) plane and the sapphire (10 $\bar{1}$ 2) plane are 14.3% and 5.7% for the two sides, respectively. Also, the thermal expansion coefficient of sapphire is about twice that of Si. At a temperature of about 1000°C as required for growth of Si, the deviation in the lattice is small, yet, as the system is cooled down, significant strain is developed.

On the other hand, as far as the junction between  $\text{ABO}_3$  crystal and Si or GaP or other semiconductor is concerned, the deviation in the lattice constant on the growth plane determined on the base of the data listed in the above table is much smaller than that in the case of Si and sapphire at room temperature. Also, as far as thermal expansion coefficient is concerned, while said group II-VI and group III-V semiconductors usually have thermal expansion coefficients much larger than that of Si, the thermal expansion coefficient of  $\text{ABO}_3$  crystal is similar to or smaller than that of sapphire. Consequently, the thermal strain developed due to cooling is much smaller than that developed at the interface between sapphire and Si.

In addition, when said oxides are used as substrate, because the melting point is high, it allows growth with substrate in a high-temperature state. In this way, one can obtain an epitaxial hetero-junction for said  $\text{ABO}_3$  crystal and semiconductor layer much better than that for Si and sapphire.

In the following, we will examine application examples of epitaxial growth in this invention.

### (1) Growth of Si on $\text{SrTiO}_3$

(100) plane of  $\text{SrTiO}_3$  single crystal is cut out and polished to mirror surface quality. Then, the surface processing layer is etched off to form a substrate for epitaxial growth. On this substrate, growth is performed using a Si epitaxial device by means of decomposition of  $\text{SiH}_4$  as is commonly used. The temperature of the substrate is in the range of 950-1100°C.  $\text{H}_2$  gas containing 4%  $\text{SiH}_4$  is fed to flow corresponding to a substantial concentration [flow rate] of  $\text{SiH}_4$  of 30 cc/min, with  $\text{H}_2$  gas used as a carrier gas with a flow rate of 30 L/min. The growth rate of Si is about 0.2-0.3  $\mu\text{m}/\text{min}$  to a thickness of several  $\mu\text{m}$  to tens of  $\mu\text{m}$ . For the grown Si, the epitaxial structure is checked by X-ray diffraction and electron beam diffraction. (100) plane of Si is grown on (100) plane of  $\text{SrTiO}_3$ .

Also, similar epitaxial growth of Si can be made on other substrates, such as  $\text{BaTiO}_3$ ,  $\text{PbTiO}_3$ ,  $\text{SrZrO}_3$ ,  $\text{SrFeO}_3$ , etc.

(2) Vapor phase growth of GaAs on  $\text{SrZrO}_3$

Just as in the case of vapor phase growth of Si, (100) plane of  $\text{SrZrO}_3$  is cut out and is polished to mirror surface quality. Then, the surface processing layer is etched off to form a substrate for epitaxial growth. Then, the device shown in Figure 2 is used for growth. Figure 2 is a schematic diagram illustrating the growth device. In Figure 2, (1) represents a heating furnace; (2) represents a furnace core tube; (3) represents a graphite table; (4) represents a  $\text{SrTiO}_3$  single crystal substrate; (5) represents an  $\text{AsH}_3$  source; (6) represents a  $(\text{CH}_3)_3\text{Ga}$  source; and (7), (8), (9) represent  $\text{H}_2$  sources. In the growth, the reaction between  $(\text{CH}_3)_3\text{Ga}$  and  $\text{AsH}_3$  is adopted. The  $(\text{CH}_3)_3\text{Ga}$  source is kept at 0°C, and at a concentration of 10% for  $\text{AsH}_3$  in  $\text{H}_2$  gas flow, the gas mixture is fed in.  $\text{H}_2$  flows through a Pd diffusion plate, and is used as a carrier gas. The flow rate of  $\text{H}_2$  gas is 3 L/min, and the flow rate of  $\text{AsH}_3$  is 450 mL/min (10% in hydrogen), and the hydrogen gas is fed at 30 mL/min through  $(\text{CH}_3)_3\text{Ga}$ . The temperature of the substrate is about 800°C, and a growth layer with thickness in the range of several thousand Å to about 100  $\mu\text{m}$  is obtained. The growth layer is checked by means of X-ray and electron beam diffraction, and it is found to be a single crystal thin film. Also, growth is performed for GaAs (100) on the (001) plane of  $\text{SrZrO}_3$ . In addition, epitaxial growth has been confirmed for  $\text{BaTiO}_3$  and  $\text{PbTiO}_3$ .

(3) Vapor deposition of ZnSe on  $\text{SrTiO}_3$

Vapor deposition is performed on the (001) plane of  $\text{SrTiO}_3$  as a substrate and using ZnSe single crystal as the evaporation source. The temperature of the substrate is changed in the range of 200-600°C, and the temperature of the evaporation source is in the range of 800-1000°C. When the substrate temperature is in the range of 400-500°C, results of the electron beam diffraction indicate certain twin and super-lattice spots. However, the obtained epitaxial film has a relatively good quality.

According to the present invention, on an  $\text{ABO}_3$  perovskite type insulating substrate, Si, Ge or other semiconductor crystal is grown, so that it is possible to obtain a high-quality substrate for forming semiconductor integrated circuits. Also, by means of growth of group II-VI and group III-V crystals, it is possible to obtain substrates useful for manufacturing photo-integrated circuits.

As explained above, this invention can form hetero-junction of  $\text{ABO}_3$  perovskite type oxide (with A representing K, Ba, Sr, Pb, and B representing Ta, Ti, Zr, Fe, Sn, Ce) in tetragonal crystal or cubic crystal structure and cubic crystal semiconductor layer. It is possible to obtain thin film single crystal with few defects and with good crystallinity. The obtained semiconductor substrates can be used in manufacturing various types of semiconductor devices.

Brief description of the figures

Figure 1 is a diagram illustrating the orientation configuration of the epitaxial junction between  $ABO_3$  type crystal and semiconductor layer. Figure 2 is a schematic diagram illustrating an GaAs epitaxial growth device in an application example of this invention.

1	Heating furnace
4	Substrate crystal
5	$AsH_3$ source
6	$(CH_3)_3Ga$ source
7, 8, 9	$H_2$ gas source

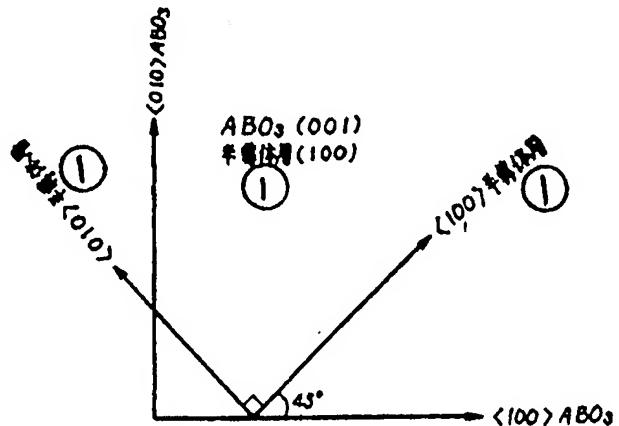


Figure 1

Key: 1 Semiconductor layer

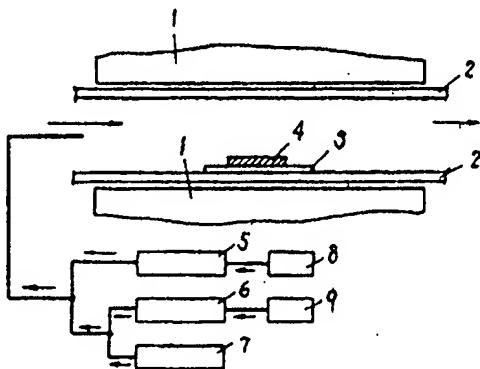


Figure 2

CLIPPEDIMAGE= JP352089070A

PAT-NO: JP352089070A

DOCUMENT-IDENTIFIER: JP 52089070 A

TITLE: SEMICONDUCTOR DEVICE

PUBN-DATE: July 26, 1977

INVENTOR-INFORMATION:

NAME

SERIZAWA, HIROMOTO  
FUKAI, SHOICHI

ASSIGNEE-INFORMATION:

NAME	COUNTRY
MATSUSHITA ELECTRIC IND CO LTD	N/A

APPL-NO: JP51005611

APPL-DATE: January 20, 1976

INT-CL (IPC): H01L021/20;H01L033/00 ;H01L031/00  
;G02B005/14

ABSTRACT:

PURPOSE: To produce thin film single crystal of good crystallinity by the hetero bonding of perovskite type crystals of given metal and Si, Ge or group II-VI, III-V compound semiconductors.

COPYRIGHT: (C) 1977, JPO&Japio

## 公開特許公報

昭52-89070

⑥Int. Cl<sup>2</sup>.  
 H 01 L 21/20  
 G 02 B 5/14  
 H 01 L 31/00  
 H 01 L 33/00

識別記号

⑦日本分類  
 99(5) B 15  
 99(5) J 4  
 99(5) H 0  
 104 G 0

⑧内整理番号  
 6684-57  
 7377-57  
 6513-57  
 7448-23

⑨公開 昭和52年(1977)7月26日  
 発明の数 1  
 審査請求 未請求

(全4頁)

## ⑩半導体装置

⑪特 願 昭51-5611  
 ⑫出 願 昭51(1976)1月20日  
 ⑬発明者 芹沢皓元

門真市大字門真1006番地松下電  
器株式会社内

⑭発明者 深井正一  
 門真市大字門真1006番地松下電  
器産業株式会社内  
 ⑮出願人 松下電器産業株式会社  
 門真市大字門真1006番地  
 ⑯代理人 弁理士 中尾敏男 外1名

## 明細書

## 1. 発明の名称

半導体装置

## 2. 特許請求の範囲

(1) Si, Ge あるいはⅢ-VI族, Ⅳ-V族等の立方晶系化合物半導体と、正方晶もしくは立方晶構造のABO<sub>3</sub>ペロブスカイト型(ただしAはK, Ba, Sr, Pbの群より選択された1つ、BはTi, Ta, Zr, Re, Sn, Ceの群より選択されたり1つ)酸化物との異種接合を有することを特徴とする半導体装置。

(2) 上記Si, Ge あるいは立方晶系化合物半導体の(100)面と上記正方晶構造のペロブスカイト型酸化物の(001)面とで上記異種接合を形成したことを特徴とする特許請求の範囲第1項に記載の半導体装置。

(3) 上記Si, Ge あるいは立方晶系化合物半導体の(100)面と上記立方晶構造のペロブスカイト型酸化物の(100)面とで上記異種接合を形成したことを特徴とする特許請求の範囲第1項

に記載の半導体装置。

## 3. 発明の詳細な説明

本発明は半導体装置に限らず、光半導体装置あるいはその他の半導体装置への応用に適した半導体基体を得るものである。

すなわち本発明はSi, Ge あるいはGaAs, GaPなどのⅢ-V族化合物半導体あるいはZnSe, ZnTeなどのⅣ-V族化合物半導体とBaTiO<sub>3</sub>やSrTiO<sub>3</sub>などのペロブスカイト形ABO<sub>3</sub>のようないわゆる正方晶あるいは立方晶構造のTi, Ta, Zr, Re, Sn, Ceの酸化物との異種接合を形成し、種々の半導体装置の応用に供する半導体基体を得ることを目的としている。

異種物質のエピタキシャル成長はGaAs半導体レーザーがGa<sub>x</sub>Al<sub>1-x</sub>Asとダブルヘテロ構造にすることによって大きな特性の向上をみて非常に注目されるに至った。従来より、ヘテロエピタキシャル成長はGaAs-Ga, ZnS-ZnTe, ZnSe-GaAsなどの多くの半導体について接合が研究されているが、従来の接合は異種接合といつても半

導体同志のエピタキシャルであり、半導体と誘電体、絶縁体、金属などのエピタキシャル接合はあまり研究されていない。しかるに、Siの気相成長ににおける絶縁基板としてのサファイア Al<sub>2</sub>O<sub>3</sub> やスピネル(MgO・Al<sub>2</sub>O<sub>3</sub>)は多くの研究がなされている。これらの基板上にはSiのエピタキシャル成長がされているほか、GaAsなどの結晶も Al<sub>2</sub>O<sub>3</sub>、MgAl<sub>2</sub>O<sub>4</sub>、BeOなどにエピタキシャル成長がなされている。

また、半導体上への酸化物絶縁体の成長はSiやGaAs 上に SiO<sub>2</sub>、GeO、Al<sub>2</sub>O<sub>3</sub> などがあり、保護膜としてまた熱膨張係数としてなされているが、エピタキシャル成長されているものはない。絶縁物同志の接合としては MgO や MgAl<sub>2</sub>O<sub>4</sub> 上に Bi<sub>2</sub>Ti<sub>3</sub>O<sub>12</sub> のエピタキシャル成長がなされた例は報告されている。

そこで、本発明は従来行われていない BaTiO<sub>3</sub>などのペロブスカイト型結晶と半導体とのエピタキシャル異種接合により良好なる半導体基盤用基板を得るものである。

りなる結晶の格子定数、融点、熱膨張係数およびその結晶にエピタキシャル成長するエピタキシャル半導体層の例を記載したものである。

ところで、これらABO<sub>3</sub>型結晶上に上記表に記載の半導体層をエピタキシャル成長する場合 ABO<sub>3</sub>型のたとえば正方晶結晶の(001)面と立方晶半導体の[100]面をとると、ABO<sub>3</sub>型の結晶の<100>方向と半導体層の<100>方向とは良好なエピタキシャル成長が行われる。すなわち第1図に示すように ABO<sub>3</sub>結晶の<100>方向と半導体層の<100>方向とはエピタキシャル成長する。なお ABO<sub>3</sub>型の立方結晶の場合は[100]面と半導体層の[100]面で良好なエピタキシャル成長を行わせることができる。ここで、絶縁基板上に半導体層をエピタキシャル成長する代表的な例として Si とサファイアとの接合を考えてみる。

通常 LSIs 等で使われる Si(100)のサファイア上への成長において、Siはダイヤモンド構造(立方晶系)をしているのに対してサファイアはロンボヘラルドの結晶形のため Siの(100)面は

さて、BaTiO<sub>3</sub>などのペロブスカイト型 ABO<sub>3</sub>結晶は強誘電体材料として研究されてきた。特に高融点物質であるためのセラミックとして実用化されている場合が多い。ABO<sub>3</sub>型の結晶学的性質を下表に示す。

物質名	格子定数	融点	熱膨張係数	エピタキシャル例
BaTiO <sub>3</sub>	a=3.994 c=4.038	1618	/	GaAs, ZnSe
SrTiO <sub>3</sub>	a=3.905	~2000	1.1×10 <sup>-6</sup>	Si, GeP
PbTiO <sub>3</sub>	a=3.004 c=4.152			Si, GeP
SrZrO <sub>3</sub>	a=4.099	2640	6.75×10 <sup>-6</sup> 9.34×10 <sup>-6</sup>	GaAs, ZnSe
SrSnO <sub>3</sub>	a=4.02			GaAs, ZnSe
BaZrO <sub>3</sub>	a=4.192	2688	6.64×10 <sup>-6</sup> 6.54×10 <sup>-6</sup>	InP, ZnTe, CdS
BaSnO <sub>3</sub>	a=4.12			InP, ZnTe
KTaO <sub>3</sub>	a=3.989 c=4.003	1357		GaAs

この表は ABO<sub>3</sub>型結晶すなわち BaTiO<sub>3</sub>, SrTiO<sub>3</sub>, PbTiO<sub>3</sub>, SrZrO<sub>3</sub>, SrSnO<sub>3</sub>, BaZrO<sub>3</sub>, KTaO<sub>3</sub> 上

サファイアの(1012)面にエピタキシャル成長する。このときの Si(100)面とサファイアの(1012)面の各辺の格子定数のズレは2辺がそれぞれ 14.3% と 6.7% の値を有している。また熱膨張係数は Si よりサファイアの方が約 2 倍の値をしており、Si を成長させるに必要な 1000°C 翌後の温度では格子のズレとしてはいく分少なくななるが同時に伴う界面における歪が多く含まれている。

一方、ABO<sub>3</sub>結晶と Si あるいは GeP などの半導体との接合をみると上記表から求めた成長面での格子定数のズレとしては常識において Si とサファイアの場合に比較してはるかに少ない値となる。また熱膨張係数においてはこれら I-V 族、II-V 族半導体の熱膨張係数は一般に Si よりも大きいのに對して ABO<sub>3</sub>結晶はサファイアとあまりかわらないかそれ以下の値であるため同時に熱歪としてはサファイアと Si との界面に比べて非常に小さくなる。

さらにこれらの酸化物を基板とする場合には融点

が高いために高温度基板状態での成長も可能となる。このように、上記 $ABO_3$ 型結晶と半導体層とはSIとサファイアよりもすぐれた良好なエピタキシャル異種接合を得ることができる。

以下、エピタキシャル成長を行った本発明の実施例を図面とともに説明する。

### (1) $SrTiO_3$ 上への SI の成長。

$SrTiO_3$  単結晶を(100)面に切り出し、鏡面にて研磨してその後表面加工層をエッティングでとり除いてエピタキシャル用基板とする。これを基板として通常用いられる  $SiH_4$  の分解による SI エピタキシャル装置により成長させた。基板温度を 950~1100°C とし、4%  $SiH_4$  入り  $H_2$  ガスを  $SiH_4$  の実質濃度で 30 cc/min に相当する量を  $H_2$  ガスをキャリアガスとして 30 l/min で流して成長させた。成長 SI は 0.2~0.3  $\mu/min$  で数μ~数十μ成長させた。成長 SI は X 線回折および電子線回折によってエピタキシャルしていることが確認された。 $SrTiO_3$  (100) 面上に SI の (100) 面が成長していた。

よって単結晶薄膜であることが確認されるとともに  $SrZrO_3$  結晶 (001) 面に  $GaAs$  (100) が成長していた。また  $BaTiO_3$ 、 $PbTiO_3$  についてもエピタキシャルが確認された。

### (2) $SrTiO_3$ 上への $ZnSe$ の蒸着。

$SrTiO_3$  の (001) 面を基板として  $ZnSe$  単結晶を蒸発源として蒸着を行なった。基板温度は 200°C~800°C まで変化させ、蒸着源温度は 800°C~1000°C で行なった。基板温度 400°C~500°C において電子線回折の結果では若干の双晶や超格子スポットがみられたが、かなり良好なエピタキシャル膜を得ることができた。

このように本発明によれば、 $ABO_3$  ベロブスカイト型焼結基板上に SI、Ge 等の半導体結晶を成長させることにより良好な半導体集積回路用の基体を得ることができ、また I-V、I-V 族結晶を成長させることにより光集積回路用としてすぐれた基体を得ることができる。

以上のように本発明は正方晶あるいは立方晶焼結の  $ABO_3$  ベロブスカイト型 (ただし A : K, Ba,

Ca, Sr, Pb, B : Ta, Ti, Zr, Fe, Sn, Ce) 鋳物と立方晶系半導体層の異種接合を形成するものであって、欠陥の少ない結晶性の良好な複数単結晶を得ることができ、各種半導体装置に適した半導体基体を得るものである。

### (2) $SrZrO_3$ 上への $GaAs$ の気相成長。

SI の気相成長の場合と同様に  $SrZrO_3$  を (100) 面に切り出し、鏡面にて研磨し、その後表面加工層をエッティング除去してエピタキシャル用基板とし、第 2 図に示す成長装置により成長を行なった。第 2 図に成長装置の概略を示す。第 2 図において、1 は加熱炉、2 は炉芯管、3 はグラファイト台、4 は  $SrTiO_3$  単結晶基板、5 は  $AsH_3$  源、6 は  $(CH_3)_3Ga$  源、7, 8, 9 は  $H_2$  ガス源である。さて、成長 IC は  $(CH_3)_3Ga$  と  $AsH_3$  の反応が使われた。 $(CH_3)_3Ga$  ソースは 0°C に保たれ、 $AsH_3$  は  $H_2$  気流中  $KClO$  を含ませて導入された。 $H_2$  は Pd 拡散板を通してキャリアガスとした。流量は  $H_2$  ガスが 30 l/min、 $AsH_3$  450 ml/min (10% 水素中)  $(CH_3)_3Ga$  IC は水素ガスを 30 ml/min 通過させた。基板温度は約 800°C とし約千μから約 100 μ の厚さまでの成長層を得た。成長層は X 線および電子線回折に

$Sr$ 、 $Pb$ 、 $B$  :  $Ta$ 、 $Ti$ 、 $Zr$ 、 $Fe$ 、 $Sn$ 、 $Ce$  の鋳物と立方晶系半導体層の異種接合を形成するものであって、欠陥の少ない結晶性の良好な複数単結晶を得ることができ、各種半導体装置に適した半導体基体を得るものである。

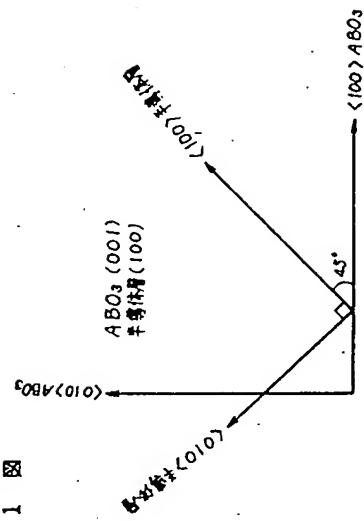
### 4. 図面の簡単な説明

第 1 図は  $ABO_3$  型結晶と半導体層とのエピタキシャル接合の方位関係図。第 2 図は本発明の一実施例における  $GaAs$  エピタキシャル成長装置の概略構成図である。

1 ……加熱炉、4 ……基板結晶、5 ……  $AsH_3$  源、6 ……  $(CH_3)_3Ga$  源、7, 8, 9 ……  $H_2$  ガス源。

代理人の氏名 井理士 中尾 敏男 ほか 1 名

第1図



第2図

